

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-030245

(43)Date of publication of application : 03.02.1992

(51)Int.Cl.

G06F 15/16

G06F 13/14

(21)Application number : 02-134067

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 25.05.1990

(72)Inventor : KASEDA NAOHIKO

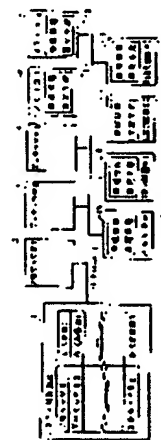
(54) MULTIPROCESSOR CONTROL SYSTEM

(57)Abstract:

PURPOSE: To suppress the system-down and malfunction of a different processor to a minimum when one processor is erroneously operated by permitting only a privileged processor to alter information which is set in a constitution information setting means.

CONSTITUTION: A system controller 1 selects the privileged processor by processor information. Then, the connection state of respective processors 3-5, memories 6-8 and input/output devices 9-11 is set in respective constitution information setting means 12-17.

Only the privileged process or can alter the constitution information setting means 12-17 which are once set. Consequently, the misoperation of respective processors 3-5 can be prevented. Thus, the system- down can be reduced and an operation rate and reliability can be reduced and an operation rate and reliability can be improved.



⑫ 公開特許公報(A)

平4-30245 ✓

⑤ Int. Cl.³G 06 F 15/16
13/14

識別記号

4 0 0 S
3 3 0 Z

庁内整理番号

9190-5L
7230-5B

⑬ 公開 平成4年(1992)2月3日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 マルチプロセッサ制御方式

⑮ 特 願 平2-134067

⑯ 出 願 平2(1990)5月25日

⑰ 発 明 者 倅 田 直 彦 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑱ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑲ 代 理 人 弁理士 鈴木 敏 明

明 細 書

1. 発明の名称

マルチプロセッサ制御方式

2. 特許請求の範囲

システム制御装置によって制御されるバスに接続された、プロセッサと、メモリ及び入出力装置とを備え、

前記各メモリ及び入出力装置は、前記プロセッサとの接続状態を決め、システムの構成を決定するための情報を設定する構成情報設定手段を有し、

前記システム制御装置は、特権プロセッサを決定するプロセッサ情報を有し、

当該特権プロセッサのみが前記構成情報設定手段に設定された情報を変更できることを特徴とするマルチプロセッサ制御方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、複数のプロセッサにより構成されるマルチプロセッサシステムの制御方式に関する。

(従来技術)

マルチプロセッサシステムとは、複数のプロセッサを備え、各プロセッサが別個の処理を実行できるようにしたものである。

第2図は、従来の計算機システム構成例のブロック図である。

図示のシステムは、システム制御装置21と、システムバス22と、プロセッサ(#1)23と、プロセッサ(#2)24と、プロセッサ(#n)25と、メモリ(#1)26と、メモリ(#2)27と、メモリ(#m)28と、入出力装置(#1)29と、入出力装置(#2)30と、入出力装置(#n)31とから成る。

システム制御装置21は、システムバス22を制御するものである。

システムバス22は、各プロセッサと、メモリ及び入出力装置とを接続する。

プロセッサ(#1)23、プロセッサ(#2)24及びプロセッサ(#n)25は、各種のデータ処理や制御を行なうものである。

メモリ (#1) 26、メモリ (#2) 27 及びメモリ (#m) 28 は、各プロセッサで実行されるプログラムや処理結果を一時的に格納するものである。これらのメモリ 26、27、28 には、それぞれ構成情報設定手段 32、33、34 が設けられている。構成情報設定手段 32、33、34 には、メモリ 26、27、28 がプロセッサ 23、24、25 のいずれに接続されるかを示す情報が格納される。

入出力装置 (#1) 29、入出力装置 (#2) 30 及び入出力装置 (#n) 31 は、磁気ディスク装置やラインプリンタ等から成る。これらの入出力装置 29、30、31 には、それぞれ構成情報設定手段 35、36、37 が設けられている。構成情報設定手段 35、36、37 には、入出力装置 29、30、31 がプロセッサ 23、24、25 のいずれに接続されるかを示す情報が格納される。

次に、上述した装置の動作を説明する。

上述したマルチプロセッサシステムにおいて、

は、ある 1 つのプロセッサをシステムの構成を制御及び管理するプロセッサとして決める方法がある。即ち、あるプロセッサを制御権を持つプロセッサ (以下、特権プロセッサと呼ぶ) として決める。そして、この特権プロセッサが他のプロセッサに使用してよいメモリや入出力装置を割り当てる。これにより、他のプロセッサは、割り当てられたメモリや入出力装置により処理を実行する。

しかしながら、どのプロセッサからも別のプロセッサのメモリや入出力装置をアクセスすることができると、本来使用していたプロセッサの動作に影響を与えてしまうという不具合がある。

そこで、制御権を持つ特権プロセッサが、ハードウェアによりプロセッサとメモリや入出力装置との接続構成を決定する構成情報設定手段を設定する方法が採られる。この構成情報設定手段は、特権プロセッサが設定する。設定が一旦行なわれた後は、設定を行なったプロセッサ以外からはアクセスできないため、他のプロセッサから操作さ

れることは無い。1 つのプロセッサがプログラムの異常を検出して停止した場合、あるいはプロセッサ自身やプログラムが格納されるメモリの故障を発見した場合、他のプロセッサがその処理を継続して引き継ぎシステムがダウンしないようにした運用方式がある。

プロセッサの停止やメモリの異常を検出する方法としては、プロセッサ間で定期的にメッセージ通信を行ない、メッセージ通信がとぎれたことによって、相手のプロセッサの停止や異常を検出する方法がある。

プロセッサの停止及び異常を検出して、他のプロセッサがその処理を引き継ぐ場合、故障したプロセッサのプログラムやデータが格納されているメモリや、故障したプロセッサが制御し、使用していた入出力装置を、処理を引き継ぐプロセッサが自分の制御下に接続する必要がある。

それぞれのメモリや入出力装置をどのプロセッサがその制御下において使用するかといったシステム全体の構成を制御及び管理する方法として

れることはない。

(発明が解決しようとする課題)

しかしながら、上述した従来の技術には、次のような問題があった。

即ち、特権プロセッサ以外のプロセッサが誤って特権プロセッサ系のメモリや入出力装置、及び他のプロセッサ系のメモリや入出力装置の接続を換えてしまった場合、特権プロセッサや他のプロセッサが正しく動作できなくなった。従って、システム全体がダウンしてしまうこともあった。

また、特権プロセッサが別のプロセッサ系の立ち上げを行なうようなシステムでは、非特権プロセッサが誤って特権プロセッサを操作し、特権プロセッサが正しく動作できなくなることがある。即ち、プロセッサ間で他のプロセッサのプログラムのスタート及びストップ、プログラムカウンタのセットなども制御し、さらに故障を検出して停止したプロセッサの停止原因を調べ、それがハードウェアの故障でなければ、当該プロセッサ系を初期化し、再びスタートさせるようなシステムで

は、非特権プロセッサの誤操作により特権プロセッサが正しく動作できなくなることがあった。

本発明は以上の点に着目してなされたもので、複数のプロセッサを備えたマルチプロセッサプロセッサシステムにおいて、あるプロセッサの誤操作により他のプロセッサ系に誤った操作をし、他のシステムの誤操作やシステムダウンを起こさないようにし、稼働率が高く、高信頼のマルチプロセッサ制御方式を提供することを目的とするものである。

(課題を解決するための手段)

本発明のマルチプロセッサ制御方式は、システム制御装置によって制御されるバスに接続された、プロセッサと、メモリ及び入出力装置とを備え、前記各メモリ及び入出力装置は、前記プロセッサとの接続状態を決め、システムの構成を決定するための情報を設定する構成情報設定手段を有し、前記システム制御装置は、特権プロセッサを決定するプロセッサ情報を有し、当該特権プロセッサのみが前記構成情報設定手段に設定された

力装置(＃2) 10と、入出力装置(＃2) 11とから成る。

システム制御装置1は、システムバス2を制御するもので、プロセッサ情報18を有する。プロセッサ情報18は、プロセッサ(＃1) 3、プロセッサ(＃2) 4、プロセッサ(＃n) 5のいずれが特権プロセッサであるかを示す情報である。即ち、プロセッサ(＃1) 3、プロセッサ(＃2) 4、プロセッサ(＃n) 5に対応して、1ビットの情報が設けられている。この1ビットの情報が例えば、“1”であるとき、特権プロセッサであることを示す。この1ビットの情報は1つのプロセッサのみが“1”とされる。一方、この1ビットの情報は、“0”であるとき、特権プロセッサでないことを示す。

システムバス2は、各プロセッサと、メモリ及び入出力装置とを接続する。

プロセッサ(＃1) 3、プロセッサ(＃2) 4及びプロセッサ(＃n) 5は、各種のデータ処理や制御を行なうものである。

情報を変更できることを特徴とするものである。

(作用)

本発明のマルチプロセッサ制御方式においては、まず、システム制御装置がプロセッサ情報により特権プロセッサを選択する。そして、各プロセッサと、メモリ及び入出力装置との接続状態を各構成情報設定手段に設定する。1度設定された構成情報設定手段は、特権プロセッサのみが変更することができる。従って、各プロセッサが誤操作することを防止することができる。この結果、システムダウンの発生を少なくすることができ、稼働率及び信頼性の向上を図ることができる。

(実施例)

第1図は、本発明の方式による計算機システム構成例のブロック図である。

図示のシステムは、システム制御装置1と、システムバス2と、プロセッサ(＃1) 3と、プロセッサ(＃2) 4と、プロセッサ(＃n) 5と、メモリ(＃1) 6と、メモリ(＃2) 7と、メモリ(＃m) 8と、入出力装置(＃1) 9と、入出

メモリ(＃1) 6、メモリ(＃2) 7及びメモリ(＃m) 8は、各プロセッサで実行されるプログラムや処理結果を一時的に格納するものである。これらのメモリ6、7、8には、それぞれ構成情報設定手段12、13、14が設けられている。構成情報設定手段12、13、14には、メモリ6、7、8がプロセッサ3、4、5のいずれに接続されるかを示す情報が格納される。

入出力装置(＃1) 9、入出力装置(＃2) 10及び入出力装置(＃2) 11は、磁気ディスク装置やラインプリンタ等から成る。これらの入出力装置9、10、11には、それぞれ構成情報設定手段15、16、17が設けられている。構成情報設定手段15、16、17には、入出力装置9、10、11がプロセッサ3、4、5のいずれに接続されるかを示す情報が格納される。

次に、上述した装置の動作を説明する。

システム制御装置1は、プロセッサ3を制御権を持つ特権プロセッサとする。即ち、第1図に示すように、システム制御装置1のプロセッサ情報

サ制御方式によれば、1つのプロセッサが誤った操作をしても、別のプロセッサのダウンや誤動作を最小限にとどめることができる。また、故障したり、異常となったプロセッサが誤った操作をしようとしても、正常なプロセッサは、影響を受けず、正常な動作を継続できる。この結果、稼働率の高い、高信頼のシステムを実現することが可能となる。

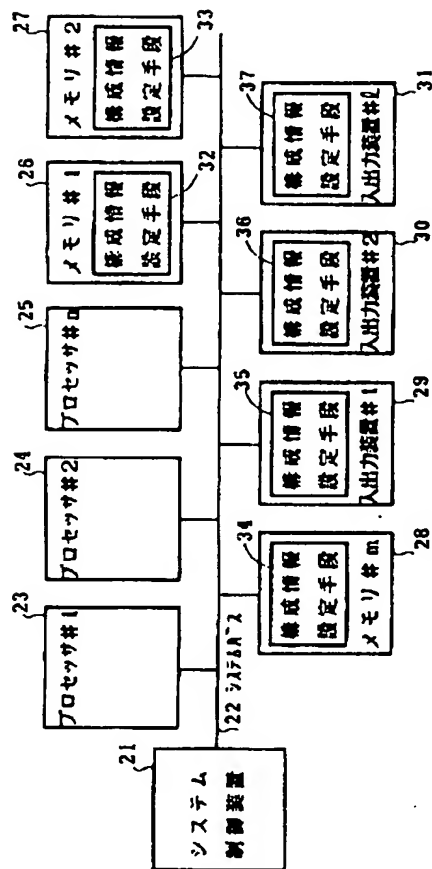
4. 図面の簡単な説明

第1図は本発明の方式による計算機システム構成例のブロック図、第2図は従来の計算機システム構成例のブロック図である。

- 1…システム制御装置、2…システムバス、
3、4、5…プロセッサ、6、7、8…メモリ、
9、10、11…入出力装置、
12～17…構成情報設定手段。

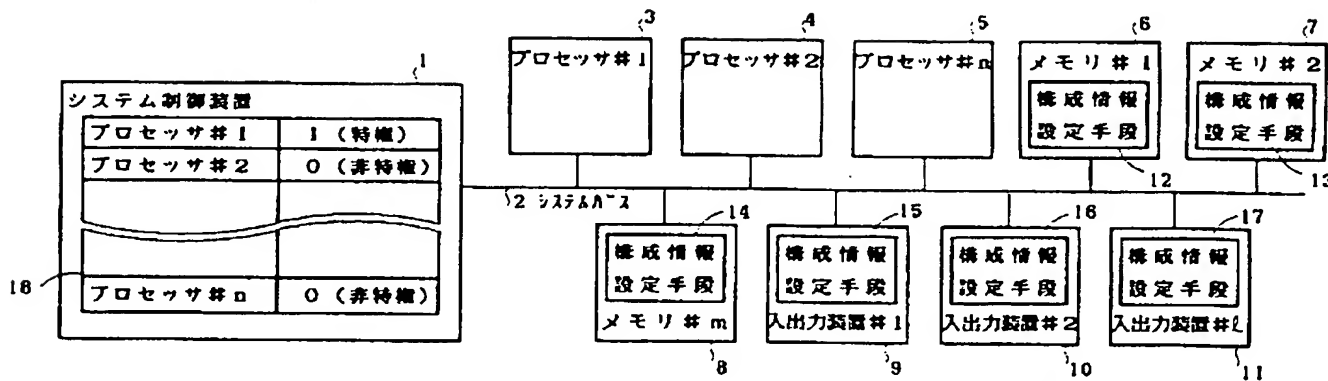
特許出願人 沖電気工業株式会社

代理人 鈴木 敏 明



従来の計算機システム構成例のブロック図

第2図



本発明の方式による計算機システム構成例のブロック図

第1図